#### (19)日本国特許庁(JP)

### (12) 公開特許公報(A)

#### (11)特許出願公開番号

## 特開平6-258388

(43)公開日 平成6年(1994)9月16日

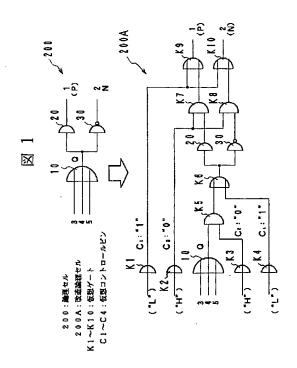
(51) Int.Cl. <sup>5</sup> G 0 1 R 31/28	識別記号	庁内整理番号	FΙ	技術表示箇所	
G 0 6 F 15/60	360 D	7623-5L 6912-2G	G01R	31/ 28 F	
			審査請求	未請求 請求項の数4 OL (全 8 頁)	
(21)出願番号	特願平5-47866		(71)出願人		
(22)出願日	平成5年(1993)3月	19日	(72)発明者	株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 池田 聡雄 東京都青梅市今井2326番地 株式会社日立	
			(72)発明者	製作所デバイス開発センタ内 船引 隆弘 東京都背梅市今井2326番地 株式会社日立	
			(74)代理人	製作所デバイス開発センタ内 弁理士 筒井 大和	

#### (54) 【発明の名称】 論理回路の故障位置指摘方法

#### (57)【要約】

【目的】 対象となる論理回路の本来の論理を変更することなく、故障箇所の指摘的中率の向上および不良解析時間の短縮を実現することが可能な論理回路の故障位置 指摘技術を提供する。

【構成】 ORゲート10とゲート20および論理反転ゲート30からなり、論理出力1(P)および論理出力2(N)を持つ論理セル200の配線情報データに対して、仮想コントロールピンC1~C4と、仮想ゲートK1~K4、仮想ゲートK5(AND)、仮想ゲートK6(OR)、仮想ゲートK7、K8(AND)、仮想ゲートK6(OR)、仮想ゲートK7、K8(AND)、仮想ゲートK9、K10(OR)を論理的に付加して改造論理セル200Aを構成し、論理出力1(P)および論理出力2(N)の複数故障(P/N=0/0、0/1、1/0、1/1)を、それぞれ個々の仮想コントロールピンC2、C3、C4、C1の論理異常に帰着させて単一故障として絞り込むことを可能にする。



#### 【特許請求の範囲】

【請求項1】 複数種のテストパターンを与えて論理回 路を実際に動作させ、故障となったテストパターンの種 別をテスト結果として取得する第1の段階と、前記論理 回路の故障を仮定した診断データと前記論理回路の配線 情報データとを用いて故障シミュレーションを行うこと により、仮定した前記故障の種類と当該故障を検出可能 な前記テストパターンとを対応させて記録した故障辞書 を生成する第2の段階と、前記第1の段階で得られた前 記テスト結果と前記第2の段階で得られた前記故障辞書 とを突き合わせることにより、前記論理回路における故 障箇所を推定して出力する第3の段階とからなる論理回 路の故障位置指摘方法であって、前記論理回路のうち、 互いに相反する論理状態のP出力およびN出力を持つ論 理セルの前記配線情報データに、当該論理セルの論理を 変えることなく、第1の仮想ゲートおよび第1の仮想コ ントロールピンを論理的に挿入し、個々の前記第1の仮 想コントロールピンの論理状態の変化と、前記P出力お よびN出力の組み合わせの一つとが1対1に対応するよ うにしたことを特徴とする論理回路の故障位置指摘方

【請求項2】 特定配線パターンに共通に接続され、当該特定配線パターンの障害によって同一の故障状態を呈する複数の前記論理セルの前記第1の仮想コントロールピンを、前記特定配線パターン毎に統合して配置することを特徴とする請求項1記載の論理回路の故障位置指摘方法。

【請求項3】 前記特定配線パターンが、電源配線パターンまたは接地配線パターンまたは内部基準電源配線パターンからなることを特徴とする請求項2記載の論理回路の故障位置指摘方法。

【請求項4】 複数種のテストパターンを与えて論理回 路を実際に動作させ、故障となったテストパターンの種 別をテスト結果として取得する第1の段階と、前記論理 回路の故障を仮定した診断データと前記論理回路の配線 情報データとを用いて故障シミュレーションを行うこと により、仮定した前記故障の種類と当該故障を検出可能 な前記テストパターンとを対応させて記録した故障辞書 を生成する第2の段階と、前記第1の段階で得られた前 記テスト結果と前記第2の段階で得られた前記故障辞書 とを突き合わせることにより、前記論理回路における故 障箇所を推定して出力する第3の段階とからなる論理回 路の故障位置指摘方法であって、前記論理回路の前記配 線情報データにおいて、配線間のショートによって、論 理的にワイヤードORまたはワイヤードANDの故障と なる領域に、当該配線間に元の論理を変えること無く第 2の仮想ゲートおよび第2の仮想コントロールピンを論 理的に挿入し、当該第2の仮想コントロールピンの論理 状態の変化によって、前記配線間が前記ワイヤードOR

する論理回路の故障位置指摘方法。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は、論理回路の故障位置指 摘技術に関し、特に、計算機シミュレーションを応用し た論理回路の故障位置指摘作業などに適用して有効な技 術に関する。

2

[0002]

【従来の技術】たとえば、高集積度の半導体製品の製造や開発工程では、実際の製品のテストによって判明した不良の原因箇所を特定する一技術として、3値論理(0/1/X)を採用した診断シミュレーション技術が用いられる場合がある。

【0003】このような診断シミュレーション技術による故障位置指摘は、従来では、たとえば特開平3-120485号公報に開示されているように、下記フローにて行なっている。

【0004】(1)診断データ(LTF)と論理配線情報(LDF)を用いた故障シミュレーションにより、各テストごとに「そのテストで検出できる故障点」と「その故障が検出できる出力ピン」との対応を表形式にした「故障辞書」を作成する。

【0005】(2) LTFを用いてテストを行ない不良となった「テストパターン番号」と「そのテストパターンおける不良指摘出カピン」の結果より、(1)で作成した「故障辞書」を検索し、故障箇所の絞り込みを行なう。

【0006】なお、故障シミュレーションは、ゲート単位で入/出力の1ヶ所だけに固定不良(単一故障:常時信号レベル0、又は、1固定)を仮定する方式のため、故障が複数箇所存在する場合(複数故障)は、たとえ故障が存在することを検出することができても、その故障位置を絞り込むことはできない。

[0007]

【発明が解決しようとする課題】上述のように、従来の 故障位置指摘手法では、物理的に1ヶ所の故障(電源系 の故障、信号線間ショート等)であっても、論理的に複 数箇所の故障に見える領域の故障では、故障箇所を一箇 所に絞り込むことが出来ず、故障箇所の指摘的中率の低 下や不良解析時間の増大の一因となっていた。

【0008】本発明の目的は、対象となる論理回路の本来の論理を変更することなく、故障箇所の指摘的中率の向上および不良解析時間の短縮を実現することが可能な論理回路の故障位置指摘技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

[0010]

状態の変化によって、前記配線間が前記ワイヤードOR 【課題を解決するための手段】本願において開示される またはワイヤードANDとなるようにしたことを特徴と *50* 発明のうち、代表的なものの概要を簡単に説明すれば、

.3

下記のとおりである。

【0011】すなわち、本発明は、複数種のテストパタ ーンを与えて論理回路を実際に動作させ、故障となった テストパターンの種別をテスト結果として取得する第1 の段階と、論理回路の故障を仮定した診断データと論理 回路の配線情報データとを用いて故障シミュレーション を行うことにより、仮定した故障の種類と当該故障を検 出可能なテストパターンとを対応させて記録した故障辞 書を生成する第2の段階と、第1の段階で得られたテス ト結果と第2の段階で得られた故障辞書とを突き合わせ ることにより、論理回路における故障箇所を推定して出 力する第3の段階とからなる論理回路の故障位置指摘方 法において、論理回路のうち、互いに相反する論理状態 のP出力およびN出力を持つ論理セルの配線情報データ に、当該論理セルの論理を変えることなく、第1の仮想 ゲートおよび第1の仮想コントロールピンを論理的に挿 入し、個々の第1の仮想コントロールピンの論理状態の 変化と、P出力およびN出力の組み合わせの一つとが1 対1に対応するようにしたものである。

の故障位置指摘方法において、特定配線パターンが、電 源配線パターンまたは接地配線パターンまたは内部基準 電源配線パターンからなるものである。

【0013】また、本発明は、請求項1記載の論理回路 の故障位置指摘方法において、特定配線パターンに共通 に接続され、当該特定配線パターンの障害によって同一 の故障状態を呈する複数の論理セルの第1の仮想コント ロールピンを、特定配線パターン毎に統合して配置する ものである。

【0014】また、本発明は、複数種のテストパターン 30 を与えて論理回路を実際に動作させ、故障となったテス トパターンの種別をテスト結果として取得する第1の段 階と、論理回路の故障を仮定した診断データと論理回路 の配線情報データとを用いて故障シミュレーションを行 うことにより、仮定した故障の種類と当該故障を検出可 能なテストパターンとを対応させて記録した故障辞書を 生成する第2の段階と、第1の段階で得られたテスト結 果と第2の段階で得られた故障辞書とを突き合わせるこ とにより、論理回路における故障箇所を推定して出力す る第3の段階とからなる論理回路の故障位置指摘方法に おいて、論理回路の配線情報データに対し、配線間のシ ョートによって論理的にワイヤードORまたはワイヤー ドANDの故障となる領域に、当該配線間に元の論理を 変えること無く第2の仮想ゲートおよび第2の仮想コン トロールピンを論理的に挿入し、当該第2の仮想コント ロールピンの論理状態の変化によって、配線間がワイヤ ードORまたはワイヤードANDとなるようにしたもの である。

[0015]

【作用】上記した請求項1記載の本発明の論理回路の故 50 故障シミュレーション103を実行して、仮定した故障

障位置指摘方法によれば、互いに相反する論理状態のP 出力およびN出力を持つ論理セルのように、一箇所の故 障に対して論理的には複数故障 (P/N=0/0, 0/ 1, 1/0, 1/1) に見える場合、個々のP出力およ びN出力の組み合わせに対応した故障原因が、配線情報 データに挿入された特定の第1の仮想コントロールピン における論理異常に帰着されるので、当該論理セルを単 一故障として絞り込むことが可能となり、故障箇所の指 摘的中率の向上および不良解析時間の短縮を実現するこ とができる。

【0016】また、上記した請求項2または3記載の本 発明の論理回路の故障位置指摘方法によれば、電源配線 パターンまたは接地配線パターンまたは内部基準電源配 線パターンの断線などに起因して、論理的には、当該パ ターンに接続される多数の論理セルの広範囲の故障に見 える場合でも、当該故障を単一の故障として指摘するこ とが可能となり、故障箇所の指摘的中率の向上および不 良解析時間の短縮を実現することができる。

【0017】また、請求項4記載の本発明の論理回路の 【0012】また、本発明は、請求項2記載の論理回路 20 故障位置指摘方法によれば、論理的にワイヤードORま たはワイヤードANDに見える配線パターン間のショー トによる故障でも、第2の仮想コントロールピンにおけ る論理異常による単一故障として捕らえることが可能と なり、故障箇所の指摘的中率の向上および不良解析時間 の短縮を実現することができる。

[0018]

【実施例1】以下、本発明の一実施例である論理回路の 故障位置指摘方法について、図面を用いて詳細に説明す

【0019】図1は、本実施例の論理回路の故障位置指 摘方法が適用される論理セルの構成および作用の一例を 示す概念図であり、図2は、当該論理セルの具体的な回 路構成の一例を示す回路図、図3は、その作用の一例を 示す説明図である。

【0020】また、図8は、本実施例の論理回路の故障 位置指摘方法の一例を示す概念図である。

【0021】まず、図8によって本実施例の論理回路の 故障位置指摘方法の概略を説明する。

【0022】予め、対象となる図示しない論理回路素子 に対して複数種のテストパターンを与えて実際に動作さ せることにより、故障となったテストパターンの種別を 取得し、テスト結果105としてファイルTRFに格納 しておく。

【0023】また、当該論理回路素子の種々の故障を仮 定した時の診断データ101をファイルLTFに格納し ておく。同様に、前記論理回路素子の配線情報データ1 02をファイルLDFに格納しておく。

【0024】そして、まず、診断データ101と配線情 報データ102を用いた3値論理(0/1/X)による

の種別と、当該故障を検出可能なテストパターンとを対 応付けて格納した故障辞書104を生成する。

【0025】さらに、こうして得られた故障辞書104 と、実際のテストによって得られたテスト結果105を 突き合わせることにより、所定のアルゴリズムによる故 障位置指摘106を実行し、個々の故障と原因(箇所) とを列挙した故障候補点リスト107を作成する。

【0026】なお、上述の一連の操作の具体的な手法に ついては、たとえば、前述した特開平3-120485 号公報に記載された技術を用いることができる。

【0027】ここで、図1の上側に示されるように、複 数の論理入力3、論理入力4、論理入力5の論理和をと るORゲート10と、当該ORゲート10の出力を互い に逆の二つの論理出力1 (P) および論理出力2 (N) とするゲート20および論理反転ゲート30からなるよ うな論理セル200について、そのままの状態で、前述 の図8に例示される一連の操作を適用したのでは、物理 的に一箇所の故障(電源の故障等)により、論理的には 複数故障 (P/N=1/1, 0/0, 0/1, 1/0) となる場合が有るため、故障箇所を絞り込むことが困難 20

【0028】たとえば、図2は、前記論理セル200 を、ECL回路によって具体的に実現した場合を示した ものであるが、二つの論理出力1および2の論理異常 は、たとえば、GND断線、VEEL 断線、VCS2 断線、 VBB2 ~Vcc2 ショート、VBB2 断線等によって発生す

【0029】そこで、本実施例の場合には、図1の下側 に例示されるように、論理セル200の元の論理を変更 することなく、複数の仮想コントロールピンC1~C4 および仮想ゲートK1~K10を当該論理セルの配線情 報データ102に論理的に追加して改造論理セル200 Aとした上で、上述の図8の一連の操作を実行する。

【0030】すなわち、本実施例の場合、一例として、 本来のORゲート10とゲート20および論理反転ゲー ト30の間には、当該ORゲート10の出力と仮想コン トロールピンC3の出力との論理積をとる仮想ゲートK 5と、この仮想ゲートK5の出力と仮想コントロールピ ンC4の論理和をとる仮想ゲートK6が介設されてい

【0031】さらに、ゲート20および論理反転ゲート 30の各々の出力側には、ゲート20および論理反転ゲ ート30の各々の出力と仮想コントロールピンC2の論 理積をとる仮想ゲートK7および仮想ゲートK8と、当 該仮想ゲートK7および仮想ゲートK8の出力と仮想コ ントロールピンC1の論理和をとり、論理出力1(P) および論理出力 2 (N) をそれぞれ出力する仮想ゲート K9および仮想ゲートK10が設けられている。

【0032】そして、仮想コントロールピンC1を "L:0"レベルに、仮想コントロールピンC2を 50 20, 論理反転ゲート30のままの論理セル200で従

"H:1" レベルに、仮想コントロールピンC3を "H:1"レベルに、仮想コントロールピンC4を "L:0"レベルに、それぞれ設定し、本来のORゲー ト10、ゲート20、論理反転ゲート30による論理出 カ1および論理出力2に影響しないような状態で、上述 の図8に例示された故障位置指摘操作を実行する。

6

【0033】これにより、たとえば、論理出力1(P) および論理出力 2 (N) の組み合わせが、期待しない (故障の) 1/1になった場合には、本来 "L" レベル 10 であるべき仮想コントロールピンC1の"1"固定の故 障として指摘される。すなわち、仮想コントロールピン C1による仮想ゲートK9およびK10に対する論理入 力が"1"固定となった場合には、前段の論理に関係な く論理出力1 (P) および論理出力2 (N) の組み合わ せは1/1となることによる。

【0034】同様に、論理出力1 (P) および論理出力 2 (N) の組み合わせが、期待しない(故障の) 0/0 になった場合には、本来"H"レベルであるべき仮想コ ントロールピンC2の"0"固定の故障として指摘され る。すなわち、仮想コントロールピンC2の仮想ゲート K7およびK8に対する出力が"0"固定となった場合 には、前段までの論理に関係なく論理出力1 (P) およ び論理出力2(N)の組み合わせは0/0となることに

【0035】同様に、論理出力1(P)および論理出力 2 (N) の組み合わせが、期待しない(故障の) 0/1 になった場合には、本来"H"レベルであるべき仮想コ ントロールピンC3の"0"固定の故障として指摘され る。すなわち、仮想コントロールピンC3の仮想ゲート K5に対する出力が"0"固定となった場合、後段の仮 想ゲートK6からのゲート20および論理反転ゲート3 0に対する入力は常時 "0"となり、論理出力1 (P) および論理出力2(N)の組み合わせは、0/1となる ことによる。

【0036】同様に、論理出力1(P)および論理出力 2 (N) の組み合わせが、期待しない(故障の) 1/0 になった場合には、本来"L"レベルであるべき仮想コ ントロールピンC4の"1"固定の故障として指摘され る。すなわち、仮想コントロールピンC4の仮想ゲート K4に対する入力が"1"固定となった場合、後段の仮 想ゲートK6からのゲート20および論理反転ゲート3 0に対する入力は常時"1"となり、論理出力1 (P) および論理出力2(N)の組み合わせは、1/0となる ことによる。

【0037】また、これら、仮想コントロールピンC1 ~ C 4 として指摘された故障と、図 2 に例示される実際 の論理セルの回路における故障箇所との対応は、一例と して、図3に例示されるものとなる。

【0038】すなわち、本来のORゲート10、ゲート

来のように、試験を行ったのでは、論理的な複数故障として絞り込みが困難な複数故障でも、本実施例では、改造論理セル200Aの仮想コントロールピンC1~C4の各々の論理異常に帰着させて絞り込むことができる。

【0039】このように、本実施例の論理出力の故障位 置指摘方法によれば、対象となる論理セルの本来の論理 を変更することなく、故障箇所の指摘的中率の向上およ び不良解析時間の短縮を実現することができる。

#### [0040]

【実施例2】図4は、本発明の他の実施例である論理回 10 路の故障位置指摘方法を示す概念図であり、図5は、そ の作用の一例を示す説明図である。

【0041】この実施例2の場合には、前述の図1および図2において例示した論理セルの複数個が、GNDや $V_{\text{BEL}}$ ,  $V_{\text{BB2}}$  などのに共通に接続される給電レイアウトの場合、仮想コントロールピンC $1\sim$ C4を複数の改造論理セル200Aについて共通となるように付加するものである。

【0042】これにより、共通の給電レイアウトの一部の故障が広範囲の故障にみえる場合でも、図5に例示し20たように、個々の仮想コントロールピンC1~C4の各々の論理異常に帰着させることによって、当該給電レイアウトのどこが故障原因かを単一故障として迅速に絞り込むことができるとともに、仮想コントロールピンC1~C4を複数の論理セルに共通にしたことによって、仮想コントロールピンや仮想ゲートなどを付加した後の配線情報データ102のデータ量が必要以上に増大することも回避され、故障シミュレーション103での所要時間の短縮を実現できる。

#### [0043]

【実施例3】図6および図7は、本発明のさらに他の実施例である論理回路の故障位置指摘方法を示す概念図である。

【0044】この実施例3の場合には、配線間のショートによって個々の配線の論理出力がワイヤードORやワイヤードANDに見える故障に適用するものである。

【0045】たとえば、図6に例示されるように、任意の論理回路内において並走する配線L1と配線L2がショートによって両者の各々の論理出力203と論理出力204が、それぞれの論理入力201および論理入力202のワイヤードORとなってしまうような構造であるとき、本実施例の場合には、配線L1、L2の各々の論理入力201、202と論理出力203、204の間に仮想ゲートK21、仮想ゲートK22、仮想ゲートK23、仮想ゲートK24、仮想ゲートK25、仮想ゲートK26、仮想ゲートK27、さらには仮想コントロールピンC5を、配線情報データ102の当該配線L1およびL2の部分に加える。

【0046】すなわち、仮想ゲートK23は、論理入力 表的なものによって201,202をそのまま出力する仮想ゲートK21,50以下のとおりである。

K22の論理和をとり、仮想ゲートK24は、当該仮想ゲートK23の出力と仮想コントロールピンC5による仮想ゲートK25の出力との論理積をとり、仮想ゲートK26は仮想ゲートK21の出力と仮想ゲートK24の出力の論理和をとり、仮想ゲートK27は仮想ゲートK22の出力と仮想ゲートK24の出力の論理和をとる構成とする。

8

【0047】これにより、仮想コントロールピンC5を "L"に設定しておけば、配線L1および配線L2の論理出力203および204は変化しないとともに、当該配線L1およびL2の間のショートによって両論理出力203,204がワイヤードORとなるような故障が発生した場合、本来"L"レベルであるべき仮想コントロールピンC5の"1"("H")固定による障害に帰着され、単一故障として絞り込むことが可能となる。

【0048】図7は、配線L1およびL2のショートによって両者の論理出力203,204がワイヤードANDとなる場合の対策を示している。

【0049】この場合には、配線L1, L2の各々の論理入力201, 202と論理出力203, 204の間に仮想ゲートK31, 仮想ゲートK32, 仮想ゲートK33, 仮想ゲートK34, 仮想ゲートK35, 仮想ゲートK36, 仮想ゲートK37、さらには仮想コントロールピンC6を、配線情報データ102の当該配線L1およびL2の部分に論理的に挿入する。

【0050】すなわち、仮想ゲートK33は、論理入力201,202をそのまま出力する仮想ゲートK31,K32の論理積をとり、仮想ゲートK34は、当該仮想ゲートK33の出力と仮想コントロールピンC6による30 仮想ゲートK35の出力との論理和をとり、仮想ゲートK36は仮想ゲートK31の出力と仮想ゲートK34の出力の論理積をとり、仮想ゲートK37は仮想ゲートK32の出力と仮想ゲートK34の出力の論理積をとり、仮想ゲートK34の出力の論理積をとる構成とする。

【0051】これにより、仮想コントロールピンC6を "H"に設定しておけば、配線L1および配線L2の論理出力203および204は変化しないとともに、当該配線L1およびL2の間のショートによって両論理出力203,204がワイヤードORとなるような故障が発生した場合、本来"H"レベルであるべき仮想コントロールピンC6の"0"("L")固定による障害に帰着され、単一故障として絞り込むことが可能となる。

【0052】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### [0053]

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、 以下のとおりである。

【0054】すなわち、本発明の論理回路の故障位置指 摘方法によれば、対象となる論理回路の本来の論理を変 更することなく、故障箇所の指摘的中率の向上および不 良解析時間の短縮を実現することができる、という効果 が得られる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例である論理回路の故障位置指 摘方法が適用される論理セルの構成および作用の一例を 示す概念図である。

【図2】本発明の一実施例である論理回路の故障位置指 摘方法が適用される論理セルの具体例を示す回路図であ

【図3】本発明の一実施例である論理回路の故障位置指 摘方法の作用の一例を示す説明図である。

【図4】本発明の他の実施例である論理回路の故障位置 指摘方法の一例を示す概念図である。

【図5】その作用の一例を示す説明図である。

【図6】本発明のさらに他の実施例である論理回路の故 障位置指摘方法の一例を示す概念図である。

【図7】本発明のさらに他の実施例である論理回路の故 20 C5 仮想コントロールピン 障位置指摘方法の一例を示す概念図である。

【図8】本発明の一実施例である論理回路の故障位置指 摘方法の一例を示す概念図である。

#### 【符号の説明】

#### 1 論理出力

2 論理出力

論理入力 3

4 論理入力

5 論理入力

10 ORゲート

20 ゲート

30 論理反転ゲート

101 診断データ

102 配線情報データ

10 103 故障シミュレーション

104 故障辞書

105 テスト結果

106 故障位置指摘

107 故障候補点リスト

200 論理セル

200A 改造論理セル

201, 202 論理入力

203, 204 論理出力

C1~C4 仮想コントロールピン

C6 仮想コントロールピン

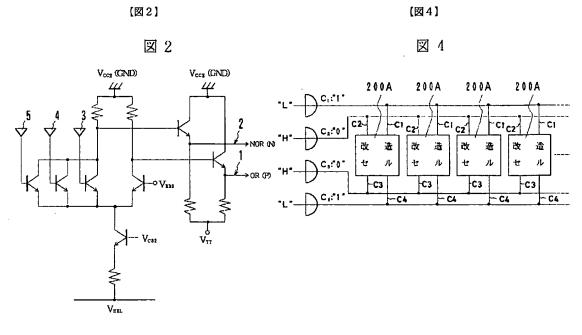
K1~K10 仮想ゲート

K21~K37 仮想ゲート

L1. L2 配線

【図1】 [図6] 図 1 図 6 K L ~ K 1 0: 仮想ゲート C1~C4: 仮想コントロールピン 201 K 2 1 K 26 C: "0" K 2 7 K 2 2 ワイヤードOR





【図3】

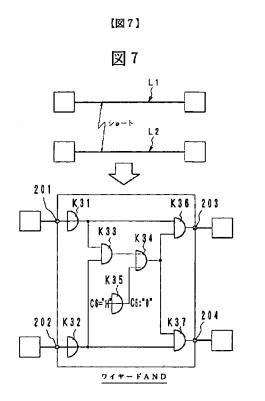
図 3

Pin#	仕	様	故	障	例
C <sub>1</sub>	P/N出力:	1/1固定用	Veel 断線、V	/cs2 断線	etc.
C 2	P/N出力:(	) / 0 固定用	GND断線 e	tc.	
C <sub>3</sub>	P/N出力:(	) / 1 固定用	V <sub>BB2</sub> ~ V <sub>C</sub>	c2 ショート	etc.
C <sub>4</sub>	P/N出力:	1 / 0 固定用	V <sub>вв</sub> 断線 е	tc.	

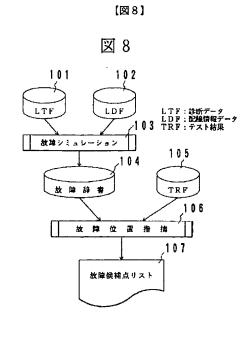
【図5】

# 図 5

P i n #	仕	様	故障	例
C <sub>1</sub>	P/N出力:1,	/ 1 固定用	Veel 断線、Vcs2 断線	etc.
C 2	P/N出力:0/	/ 0 固定用	GND断線 etc.	
C <sub>3</sub>	P/N出力:0,	/ 1 固定用	V <sub>вв2</sub> ~ V <sub>сс2</sub> ショー	hetc.
C <sub>4</sub>	P/N出力:1/	/ 0 固定用	Vвы 断線 etc.	



. . .



# This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

belook in the images metade out are not immitted to the norms enterted.
☐ BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
☐ FADEÓ TEXT OR DRAWING
BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
☐ LINES OR MARKS ON ORIGINAL DOCUMENT
☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

## IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.